

AB

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266266
(43)Date of publication of application : 28.09.1999

(51)Int. Cl. H04L 12/28
H04Q 3/00

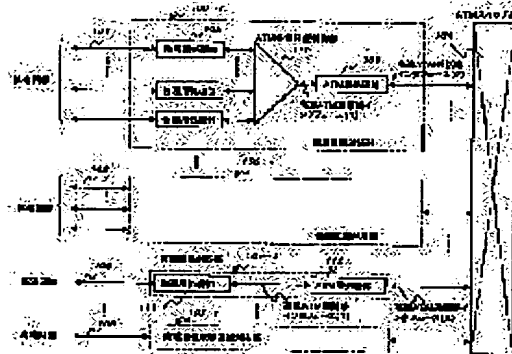
(21)Application number : 10-068689 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 18.03.1998 (72)Inventor : FUKUHARA MASATOMO

(54) LINE COPING DEVICE FOR ATM EXCHANGE SYSTEM AND ATM MULTIPLEX/DEMULTIPLEX CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a line coping device, capable of housing a low-speed line without damaging the exchange throughput of an ATM switch part and without incurring the increase in hardware scale, cost and the decline of the processing speed of a control software, and to provide an ATM multiplex/demultiplex control method used there.

SOLUTION: In this line coping device of an ATM exchange system which is provided with an ATM multiplex/demultiplex control part 110 and an ATM layer processing part 109 for performing the control and management of the connection unit of ATM cells between the low-speed line and a high-speed ATM speech path, the ATM layer processing part 109 is not installed in the respective low-speed channels but is installed in the high-speed ATM speech path.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266266

(43) 公開日 平成11年(1999) 9月28日

(51) Int. Cl. ⁶

識別記号

F I

H04L 12/28

H04L 11/20

F

H04Q 3/00

H04Q 3/00

審査請求 未請求 請求項の数 8 O L (全14頁)

(21) 出願番号 特願平10-68689

(22) 出願日 平成10年(1998) 3月18日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福原 昌友

東京都日野市旭が丘3丁目1番地の1 株
株式会社東芝日野工場内

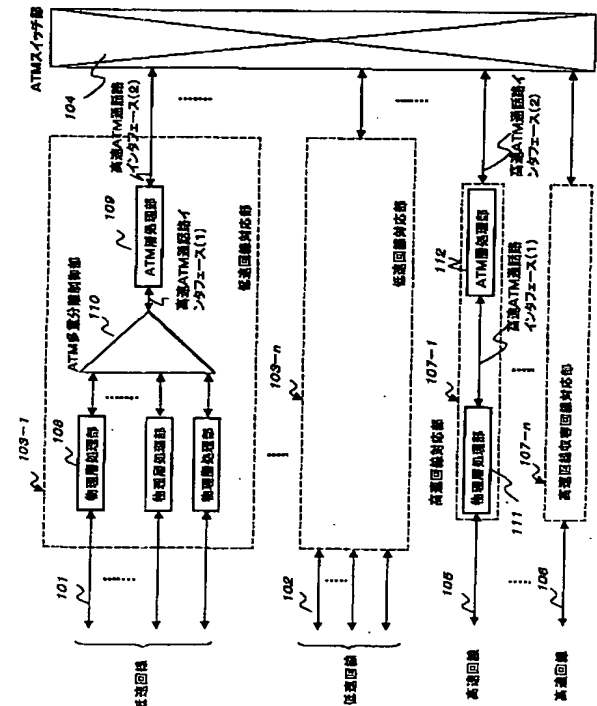
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 ATM交換システムの回線対応装置およびATM多重分離制御方法

(57) 【要約】

【課題】 ATMスイッチ部の交換処理能力を損なうことなく、さらに、ハード規模やコストの増大、制御ソフトウェアの処理速度の低下を招くことなく、低速回線を収容することができる回線対応装置およびそこで使用するATM多重分離制御方法を提供する。

【解決手段】 ATM多重分離制御部(110)とATM層処理部(109)と有し、低速回線と高速ATM通話路との間におけるATMセルのコネクション単位の制御および管理を行うATM交換システムの回線対応装置において、ATM層処理部(109)を低速回線毎に設置するのでなく高速ATM通話路中に設置する。



【特許請求の範囲】

【請求項 1】 ATM多重分離制御部とATM層処理部とを有し、低速回線と高速ATM通話路との間におけるATMセルのコネクション単位の制御および管理を行うATM交換システムの回線対応装置において、前記ATM層処理部を前記高速ATM通話路中に設置したことを特徴とするATM交換システムの回線対応装置。

【請求項 2】 低速回線と高速ATM通話路との間でATMセルのコネクション単位の多重分離制御を行なうATM多重分離制御方法において、

低速回線から高速ATM通話路に向かう多重方向のATMセルについては、低速回線側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域の未使用領域に入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行うATM層処理部に出力し、

高速ATM通話路から低速回線に向かう分離方向のATMセルについては、高速ATM通話路側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域の未使用化処理を行い、所望の低速回線方向に出力することを特徴とするATM多重分離制御方法。

【請求項 3】 低速回線と高速ATM通話路との間でATMセルのコネクション単位の多重分離制御を行なうATM多重分離制御方法において、

低速回線から高速ATM通話路に向かう多重方向のATMセルについては、低速回線側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域をビットシフトすることによって生じる空き領域に対して入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行うATM層処理部に出力し、

高速ATM通話路から低速回線に向かう分離方向のATMセルについては、高速ATM通話路側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域をシフトアウトする方向に仮想識別子領域あるいは仮想チャネル領域をビットシフトし、所望の低速回線方向に出力することを特徴とするATM多重分離制御方法。

【請求項 4】 低速回線と高速ATM通話路との間でATMセルのコネクション単位の多重分離制御を行なうATM多重分離制御方法において、

低速回線から高速ATM通話路に向かう多重方向のATMセルについては、低速回線側から入力されたATMセルのセルヘッダと入力回線位置に応じてセルヘッダ内容を変換した後、コネクション単位の制御及び管理を行うATM層処理部に出力し、

高速ATM通話路から低速回線に向かう分離方向のATMセルについては、高速ATM通話路側から入力されたATMセルのセルヘッダを参照子として低速回線位置と回線上セルヘッダ内容を得た後、そのヘッダ内容の変換を行って所望の低速回線方向に出力することを特徴とするATM多重分離制御方法。

【請求項 5】 ATM多重分離制御部とATM層処理部とを有し、低速回線と高速ATM通話路との間におけるATMセルのコネクション単位の制御および管理を行う回線対応部を備えたATM交換システムにおいて、前記ATM層処理部を前記高速ATM通話路中に設置したことを特徴とするATM交換システム。

【請求項 6】 前記ATM多重分離制御部は、低速回線から高速ATM通話路に向かう多重方向のATMセルについて、低速回線側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域の未使用領域に入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行うATM層処理部に出力する手段と、

高速ATM通話路から低速回線に向かう分離方向のATMセルについて、高速ATM通話路側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域の未使用化処理を行い、所望の低速回線方向に出力する手段とを具備することを特徴とする請求項 5 記載のATM交換システム。

【請求項 7】 前記ATM多重分離制御部は、低速回線から高速ATM通話路に向かう多重方向のATMセルについて、低速回線側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域をビットシフトすることによって生じる空き領域に対して入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行うATM層処理部に出力する手段と、

高速ATM通話路から低速回線に向かう分離方向のATMセルについて、高速ATM通話路側から入力されたATMセルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域をシフトアウトする方向に仮想識別子領域あるいは仮想チャネル領域をビットシフトし、所望の低速回線方向に出力する手段とを具備することを特徴とする請求項 5 記載のATM交換システム。

【請求項 8】 前記ATM多重分離制御部は、低速回線から高速ATM通話路に向かう多重方向のATMセルについて、低速回線側から入力されたATMセルのセルヘッダと入力回線位置に応じてセルヘッダ内容を変換した後、コネクション単位の制御及び管理を行うATM層処理部に出力する手段と、

高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについて、高速 A T M 通話路側から入力された A T M セルのセルヘッダを参照子として低速回線位置と回線上セルヘッダ内容を得た後、そのヘッダ内容の変換を行って所望の低速回線方向に出力する手段とを具備することを特徴とする請求項 5 記載の A T M 交換システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、複数の低速回線を収容する A T M 交換システムの回線対応装置および A T M 多重分離制御方法に係わり、さらに詳しくは、システム全体のハード規模や実現コストを抑えながら容易に低速回線を収容すること可能とする回線対応装置及び A T M 多重分離制御方法に関するものである。

【 0 0 0 2 】

【従来の技術】今日、通信網の効率的な運用、さらに音声、画像、データ等の各種メディアを組み合わせるマルチメディアサービスの提供を目的として、転送する情報のすべてを A T M セル（以下、セル）と呼ばれる固定長（53 バイト）の短パケットに分解してから通信網内を伝送させる A T M 交換方法が注目され、この交換方法を用いた A T M 交換システムの開発が盛んに行われている。

【 0 0 0 3 】 A T M 交換方法の特徴を導入コストを抑えながら享受するために、既存の低速回線、例えば、専用線 1 次群インタフェース（以下、1.5 M 回線と言う）やベーシックインタフェースについても A T M 交換システムに収容可能とすることが強く要望されている。

【 0 0 0 4 】低速回線を収容するための回線対応部の構成、及び、この回線対応部を用いた A T M 交換システムの構成について図 10 の従来構成図を参照して説明する。

【 0 0 0 5 】図 10 において、複数の低速回線 101、102 を収容する低速回線対応部 103-1、…103-n が設けられている。この低速回線対応部 103-1、…103-n は、セルの交換を行なう A T M スイッチ部 104 に接続されている。また、高速回線 105、106 にそれぞれ対応した高速回線対応部 107-1、…107-n が設けられ、A T M スイッチ部 104 に接続されている。

【 0 0 0 6 】低速回線対応部 103-1、…103-n は、物理層処理部 108、A T M 層処理部 109、A T M 多重分離制御部 110 とを備えている。また、高速回線対応部 107-1、…107-n は、物理層処理部 111、A T M 層処理部 112 とから構成されている。

【 0 0 0 7 】ここで、A T M 層処理部 109、112 は、収容する回線上を伝送されるセルに対して、セルの属するコネクションを識別し、コネクション毎のセル流量等の統計情報管理、セル長の変換、セル長変換により生成した領域にコネクション毎の A T M 交換システム内

転送経路を指示するルーティングタグの付加、コネクションに応じたセヘッダの変換制御などを行う。

【 0 0 0 8 】図 10 の従来構成において、A T M 多重分離制御部 110 が低速回線 101、102 を収容する低速回線対応部 103-1、103-n に設置される一方で、高速回線 105、106 を収容する高速回線対応部 107-1、107-n に設置されない理由は、A T M 層処理部 109 と A T M スイッチ部 104 の入出力通話路に接続される高速 A T M 通話路との間でセル通信速度の変換を行うことにより、A T M スイッチ部 104 の入出力通話路に対してなるべく多くの低速回線を収容できるようにし、通信速度の不整合によるセル内部輻輳が発生しない範囲で A T M スイッチ部 104 の交換処理能力を無駄なく有効に利用するためである。

【 0 0 0 9 】

【発明が解決しようとする課題】ところが、図 10 に示す従来構成においては、低速回線毎に A T M 層処理部 109 が接続されているために、低速回線 101、102 を収容する低速回線対応部 103-1、103-n のハード規模や実現コストが増大してしまうという問題がある。

【 0 0 1 0 】また、低速回線 101、102 を収容する低速回線対応部 103-1、103-n では、低速回線毎に A T M 層処理部 109 が分散して配置されてしまうために、A T M 層処理部 109 を制御するソフトウェアの処理速度が低下してしまうという問題がある。

【 0 0 1 1 】このように、従来の低速回線対応部の構成においては、A T M スイッチ部 104 の交換能力を無駄なく利用することでより多くの低速回線が収容できるようになる一方で、低速回線毎に A T M 層処理部 109 が必要になるとなるために、ハード規模や実現コストの増大を招くと共に、制御ソフトウェアの処理速度が低下してしまうという問題がある。

【 0 0 1 2 】本発明は、A T M スイッチ部の交換処理能力を損なうことなく、さらに、ハード規模やコストの増大、制御ソフトウェアの処理速度の低下を招くことなく、低速回線を収容することができる回線対応装置およびそこで使用する A T M 多重分離制御方法を提供することを目的とするものである。

【 0 0 1 3 】

【発明を解決するための手投】上記目的を達成するため、請求項 1 の発明は、A T M 多重分離制御部と A T M 層処理部とを有し、低速回線と高速 A T M 通話路との間における A T M セルのコネクション単位の制御および管理を行う A T M 交換システムの回線対応装置において、前記 A T M 層処理部を（低速回線毎に設置するのではなく）前記高速 A T M 通話路中に設置したことを特徴とする。

【 0 0 1 4 】また、請求項 2 の発明は、低速回線と高速 A T M 通話路との間で A T M セルのコネクション単位の

多重分離制御を行なう A T M 多重分離制御方法において、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについては、低速回線側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域の未使用領域に入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行う A T M 層処理部に出力し、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについては、高速 A T M 通話路側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域の未使用化処理を行い、所望の低速回線方向に出力することを特徴とする。

【 0 0 1 5 】また、請求項 3 の発明は、低速回線と高速 A T M 通話路との間で A T M セルのコネクション単位の多重分離制御を行なう A T M 多重分離制御方法において、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについては、低速回線側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域をビットシフトすることによって生じる空き領域に対して入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行う A T M 層処理部に出力し、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについては、高速 A T M 通話路側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域をシフトアウトする方向に仮想識別子領域あるいは仮想チャネル領域をビットシフトし、所望の低速回線方向に出力することを特徴とする。

【 0 0 1 6 】また、請求項 4 の発明は、低速回線と高速 A T M 通話路との間で A T M セルのコネクション単位の多重分離制御を行なう A T M 多重分離制御方法において、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについては、低速回線側から入力された A T M セルのセルヘッダと入力回線位置に応じてセルヘッダ内容を変換した後、コネクション単位の制御及び管理を行う A T M 層処理部に出力し、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについては、高速 A T M 通話路側から入力された A T M セルのセルヘッダを参照子として低速回線位置と回線上セルヘッダ内容を得た後、そのヘッダ内容の変換を行って所望の低速回線方向に出力することを特徴とする。

【 0 0 1 7 】また、請求項 5 の発明は、A T M 多重分離制御部と A T M 層処理部とを有し、低速回線と高速 A T M 通話路との間における A T M セルのコネクション単位の制御および管理を行う回線対応部を備えた A T M 交換システムにおいて、前記 A T M 層処理部を前記高速 A T M 通話路中に設置したことを特徴とする。

【 0 0 1 8 】また、請求項 6 の発明は、請求項 5 の発明

において、前記 A T M 多重分離制御部を、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについて、低速回線側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域の未使用領域に入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行う A T M 層処理部に出力する手段と、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについて、高速 A T M 通話路側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域の未使用化処理を行い、所望の低速回線方向に出力する手段とから構成したことを特徴とする。

【 0 0 1 9 】また、請求項 7 の発明は、請求項 5 の発明において、前記 A T M 多重分離制御部を、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについて、低速回線側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域をビットシフトすることによって生じる空き領域に対して入力回線位置に応じた多重識別子を付与した後に、コネクション単位の制御及び管理を行う A T M 層処理部に出力する手段と、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについて、高速 A T M 通話路側から入力された A T M セルの仮想識別子領域あるいは仮想チャネル識別子領域に付与されている多重識別子を参照することによって出力する低速回線位置を得た後、その多重識別子領域をシフトアウトする方向に仮想識別子領域あるいは仮想チャネル領域をビットシフトし、所望の低速回線方向に出力する手段とから構成したことを特徴とする。

【 0 0 2 0 】また、請求項 8 の発明は、請求項 5 の発明において、前記 A T M 多重分離制御部を、低速回線から高速 A T M 通話路に向かう多重方向の A T M セルについて、低速回線側から入力された A T M セルのセルヘッダと入力回線位置に応じてセルヘッダ内容を変換した後、コネクション単位の制御及び管理を行う A T M 層処理部に出力する手段と、高速 A T M 通話路から低速回線に向かう分離方向の A T M セルについて、高速 A T M 通話路側から入力された A T M セルのセルヘッダを参照子として低速回線位置と回線上セルヘッダ内容を得た後、そのヘッダ内容の変換を行って所望の低速回線方向に出力する手段とから構成したことを特徴とする。

【 0 0 2 1 】

【発明の実施の形態】以下、この発明に係わる A T M 交換システムの回線対応装置および A T M 多重分離制御方法の実施の形態を添付図面を参照して詳細に説明する。

【 0 0 2 2 】図 1 は、この発明に係わる回線対応装置（以下、回線対応部）、および、この回線対応部を用いた A T M 交換システムの一実施の形態の構成を示したものである。

【 0 0 2 3 】この実施形態の低速回線対応部 1 0 3 -

1, … 1 0 3 - n は、ATM層処理部 1 0 9 を低速回線毎に設置するのでなく高速 ATM 通話路中に設置したことを特徴とする。なお、図 1 0 と同一部分または同等機能部分は同一符号で表わし、その説明は省略する。

【0 0 2 4】次に、このように構成された ATM 交換システムの動作について説明する。

【0 0 2 5】図 1 に示されるように、低速回線 1 0 1、1 0 2 から入力されたセルは、各低速回線毎の物理層処理部 1 0 8 において所定の回線フレムの終端処理が施された後に、ATM多重分離制御部 1 1 0 に入力される。ここで、低速回線 1 0 1、1 0 2 が ATM 回線でない場合には、物理層処理部 1 0 8 と ATM 多重分離制御部 1 1 0 との間にセル化処理部（図示せず）及びデセル化処理部（図示せず）が設置される。

【0 0 2 6】ATM多重分離制御部 1 1 0 は、低速回線側から高速 ATM 通話路インタフェース（1）に向かう多重方向では、複数の低速回線 1 0 1 から流入するセルを ATM 多重すると共に、通信速度の変換を行い、高速 ATM 通話路インタフェース（1）上に設置される ATM 層処理部 1 0 9 に出力するという動作を行う。この際、ATM多重分離制御部 1 1 0 は、低速回線側から入力されたセルに対して、入力された低速回線位置を ATM 層処理部 1 0 9 で識別できるようにするための多重識別子をセルヘッダに付加する動作、あるいは、セルヘッダ内容を変換する動作を行う。

【0 0 2 7】また、ATM多重分離制御部 1 1 0 は、高速 ATM 通話路インタフェース（2）から低速回線に向かうセルの分離方向では、ATM層処理部 1 0 9 から流入するセルを、そのセルに付加されている多重識別子、あるいはセルヘッダ内容を参照することによって、出力する低速回線位置を得て、多重識別子領域を未使用化処理あるいはセルヘッダ内容の変換を行うと共に、通信速度の変換を行い、所望の低速回線方向に出力するという動作を行う。

【0 0 2 8】低速回線を収容する回線対応部 1 0 3 - 1, … 1 0 3 - n に設置されている ATM 層処理部 1 0 9 の動作は次の通りである。

【0 0 2 9】ATM層処理部 1 0 9 は、ATMスイッチ部 1 0 4 に向かう方向のセルについては、ATM多重分離制御部 1 1 0 の高速 ATM 通話路インタフェース

（1）から流入するセルに対して、セルヘッダ内容を参照することにより、そのセルの属するコネクションを識別し、ルーティングタグの付加などのコネクションに応じた入側 ATM 層処理を行う。また、ATM層処理部 1 0 9 から低速回線側に向かう方向においては、ATM層処理部 1 0 9 は ATM スwitch 部 1 0 4 の高速 ATM 通話路インタフェース（2）から流入するセルに対して、セルヘッダあるいはコネクション識別子を参照することによってセルの属するコネクションを識別し、セルヘッダの変換などのコネクションに応じた出側 ATM 層

処理を行う。

【0 0 3 0】ここで、セルヘッダ'の変換処理では、ATM多重分離制御部 1 1 0 で参照される多重識別子をセルヘッダ内に付加する動作、あるいは、ATM多重分離制御部 1 1 0 で参照できるようなセルヘッダへ変換する動作が行なわれる。

【0 0 3 1】一方、高速回線 1 0 5、1 0 6 を収容する ATM 層処理部 1 1 2 の動作は、低速回線を収容する回線対応部内に設置される ATM 層処理部 1 0 9 の動作と同様であるが、ATM多重分離制御部 1 1 0 で制御される多重識別を意識した制御は必ずしも必要ではない。

【0 0 3 2】図 1 の構成による ATM 交換システムでは、低速回線収容の回線対応部 1 0 3 - 1, … 1 0 3 - n に設置される ATM 層処理部 1 0 9 は、1 つだけで済ませられるので、ハード規模やコストの増大を招くことなく低速回線収容の回線対応部が実現できるという利点がある。

【0 0 3 3】また、図 1 の構成による ATM 交換システムでは、収容する回線種別に依らず、ATM層処理部 1 0 9 は同じ高速 ATM 通話路上、すなわち図 1 の高速 ATM 通話路インターフェース（1）と高速 ATM 通話路インタフェース（2）との間に設置されているので、ATM層処理部 1 0 9 は収容する回線種別に依らずセル長やセル転送クロック速度などのインターフェース条件を同一として処理することができる。

【0 0 3 4】これにより、多くの低速回線を収容することに備えて、低速回線収容用の動作クロック等を ATM 層処理部 1 0 9 まで布線することが不要となり、さらに、低速回線を収容するための特別な動作モードを ATM 層処理部 1 0 9 に設けることも不要となる。

【0 0 3 5】従って、図 1 の実施形態による ATM 交換システムによれば、ATM層処理部 1 0 9 のハード構成、ひいては、システム全体の構成が極めて単純になるという効果が得られる。

【0 0 3 6】図 2 は、図 1 の構成における ATM 交換システムの基板分割構成例を示す図である。

【0 0 3 7】図 2 の例では、回線対応部は回線対応部フロント側基板 2 0 1、2 0 2 と回線対応部リア側基板 2 0 3、2 0 4 の 2 組の基板に分割され、回線対応部フロント側基板 2 0 1、2 0 2 には ATM 層処理部 1 0 9、1 1 2 を構成するハードウェアが実装される。複数の低速回線 1 0 1、1 0 2 を収容する回線対応部リア側基板 2 0 3 には、物理層処理部 1 0 8 を構成するハードウェアと ATM 多重分離制御部 1 1 0 を構成するハードウェアが実装される。

【0 0 3 8】一方、高速回線 1 0 5、1 0 6 を収容する回線対応部リア基板 2 0 4 には、物理層処理部 1 1 1 を構成するハードウェアが実装される。図 2 の ATM 交換システムは、低速および高速の回線対応部を構成する基板の他に、セルの交換処理を行うためのスイッチ L S I

から成る A T M スイッチ部基板 2 0 6、システム内制御を行うための C P U から成る中央制御部基板 2 0 7、システム内のクロックを生成するクロック基板 2 0 8 によって構成される。

【 0 0 3 9 】 図 2 では、これら基板がマザーボード 2 0 9 を介して接続される構成となっている。

【 0 0 4 0 】 前述のように、本実施形態の A T M 層処理部 1 0 9、1 1 2 は低速回線を収容する場合と高速回線を収容する場合とによらず同一のハードウェアを同一の使用条件で動作させることができる。このため、図 2 の基板分割構成においては、回線対応部フロント側基板 2 0 1、2 0 2 は、収容する回線の種別によらず同一の基板を用いることができる。従って、図 2 の構成において、収容する回線種別（高速、低速）を変更する場合は、回線対応部リア側基板 2 0 3 を変更するだけで済ませることができる。様々な回線種別を柔軟かつ容易に収容できる拡張性に富んだ A T M 交換システムを実現することができる。

【 0 0 4 1 】 なお、図 2 の構成においては、回線対応部を構成する基板 2 0 1、2 0 2、2 0 3 は、1 つの高速 A T M 通話路を収容する構成となっているが、ハードウェア実装条件が許せば、同一のハードウェアを複数個実装することにより、複数の高速 A T M 通話路を収容するようにしてもよい。

【 0 0 4 2 】 次に、本発明に係わる A T M 多重分離制御方法について説明する。

【 0 0 4 3 】 上述したように、本発明による低速回線収容の回線対応部 1 0 3 - 1、... 1 0 3 - n に用いる A T M 多重分離制御部 1 1 0 は、多重識別の処理、すなわち、多重方向については後段に接続される A T M 層処理部 1 0 9 に対してセルの入力された低速回線位置を指示し、逆に、分離方向については A T M 層処理部 1 0 9 から入力されたセルをどの低速回線位置に出力するのか認識する、という処理が必要である。

【 0 0 4 4 】 本発明による A T M 多重分離制御部 1 1 0 では、多重識別のために参照する領域をセル長変換によって確保した領域に設けるのではなく、例えば仮想識別子領域（以下、V P I 領域）または仮想チャネル識別子領域（以下、V C I 領域）などの 5 3 バイトのセルのセルヘッダ内に設けることによって実現することの特徴としている。これにより、A T M 多重分離制御部 1 1 0 と A T M 層処理部 1 0 9 との間のインタフェース条件を、図 1 における高速回線収容の物理層処理部 1 1 1 と A T M 層処理部 1 1 2 との間のインタフェース条件と同一にできるようになるので、図 1 の説明で述べたように、A T M 交換システム全体の構成を簡素化することができる。

【 0 0 4 5 】 図 3 と図 4 は、A T M 多重分離制御部 1 1 0 で実行される多重識別子付加方法、及び、多重識別子削除方法についての実施形態をそれぞれ説明する図であ

る。

【 0 0 4 6 】 図 3 と図 4 では、A T M 多重分離制御部 1 1 0 に入力された 5 3 バイトのセルのセルヘッダ（5 バイト）の V P I 領域の低速回線上で未使用な領域 3 0 1 に対して多重識別子 3 0 2 を付加及び削除する例を示している。なお、セルヘッダの V C I 領域の低速回線上で未使用な領域 3 0 3 に多重識別子を付加及び削除する場合についても処理は同様である。

【 0 0 4 7 】 図 3 および図 4 には、V P I 領域の D 0 ビットから D 3 ビットまでの 4 ビットを低速回線上で使用する V P I 領域とし、A T M 多重分離制御部 1 1 0 に低速回線を 4 回線収容する場合の例を示している。

【 0 0 4 8 】 図 3 に示す A T M 多重分離制御方法では、低速回線側から A T M 多重分離制御部 1 1 0 に入力されたセルに対して、セルの V P I 領域で回線上未使用領域となる D 4 ビットと D 5 ビットに付加する動作を行う。D 4 ビットと D 5 ビットに多重識別子 3 0 2 を付加することは予め指定しておくようにする。D 4 ビットと D 5 ビットに付加する多重識別子 3 0 2 の値は、例えば次の通りである。すなわち、セルの入力された低速回線位置がポート「0」であれば D 4 ビット = 0、D 5 ビット = 0 とする。また、セルの入力された低速回線位置がポート「1」であれば D 4 ビット = 1、D 5 ビット = 0 とする。また、セルの入力された低速回線位置がポート「2」であれば D 4 ビット = 0、D 5 ビット = 1 とする。更に、セルの入力された低速回線位置がポート「3」であれば D 4 ビット = 1、D 5 ビット = 1 とする。このような多重識別子 3 0 2 が付加されたセルは、通信速度が変換されてから A T M 層処理部 1 0 9 に出力される。

【 0 0 4 9 】 A T M 層処理部 1 0 9 では、入力されたセルに対して、多重識別子 3 0 2 の領域を含む予め指定された V P I 領域と予め指定された V C I 領域とを参照することにより、セルの属するコネクション識別を行い、ルーティングタグの付加などのコネクションに応じた所定の入側 A T M 層処理を行う。入側の A T M 層処理部 1 0 9 では V P I 領域に付加されている多重識別子 3 0 2 を参照することになるので、入側の A T M 層処理部 1 0 9 に入力されたセルがどの低速回線から入力されたセルであるかが認識することができる。

【 0 0 5 0 】 なお、A T M 多重分離制御部 1 1 0 では、低速回線側で未使用な V P I / V C I 領域が「0」で無いセルが低速回線側から入力された場合は、このセルを誤配セルとして、異常警報を通知してセル廃棄するように動作させてもよい。

【 0 0 5 1 】 図 4 には、A T M 層処理部 1 0 9 から A T M 多重分離制御部 1 1 0 に入力されたセルのセルヘッダ処理フローを示している。

【 0 0 5 2 】 図 4 に示す A T M 多重分離制御方法では、

ATM層処理部109からATM多重分離制御部110に入力されたセルに対して、セルのVPI領域で回線上未使用領域となるD4ビットD5ビットを出回線選択のための多重識別子302として参照することにより、セルを出力する低速回線位置を認識する。

【0053】D4ビットとD5ビットを多重識別子302として参照することは予め指定しておくようにし、ATM層処理部109においてはVPI領域のD4ビットとD5ビットを多重識別子302として使用する

ことを前提にしたセルヘッダに変換したセルをATM多重分離制御部110に出力するようにする。

【0054】この場合、D4ビットとD5ビットの値と出力する低速回線位置との対応は、図3の説明で述べた対応とまったく同様である。

【0055】ATM多重分離制御部110において出力する低速回線位置が認識されたセルは、多重識別子302として使用したD4ビットとD5ビットが未使用化処理された後、すなわち、D4ビットとD5ビットが

「0」に書き戻された後に通信速度が変換されてから所望の低速回線方向に出力される。

【0056】なお、図3と図4に示したATM多重分離制御方法では、低速線上のセルで未使用なVPI領域に多重識別子をおくので、収容する低速回線上のセルが使用するVPI値に対して何の影響も与えない。また、図3と図4に示したATM多重分離制御方法では、1つのATM多重分離制御部110に収容する低速回線数を増やす場合、収容数に応じてセルヘッダ内に必要となる低速回線上のセルヘッダ内未使用領域長が多く必要となり、低速回線上で使用可能なVPI領域長が少なくなるという性質を持つが、そもそも低速回線上に同時に設定されるコネクション数は多くはないので、この性質は運用上大きな問題となることはない。

【0057】図5と図6は、ATM多重分離制御部110で実行される多重識別子付加方法、及び多重識別子削除方法についての第2の実施形態をそれぞれ説明する図である。

【0058】図5および図6は、ATM多重分離制御部110に入力された53バイトのセルのヘッダのVPI領域をビットシフトする操作を行なうことにより、多重識別子を付加及び削除する実施形態を示すものであるが、セルヘッダのVCI領域をビットシフトする操作を行なうことにより多重識別子を付加及び削除する場合についても処理方法は同様である。

【0059】図5および図6には、VPIのD0ビットからD3ビットまでの4ビットを低速回線上で使用するVPI領域とし、ATM多重分離制御部110に低速回線を4回線収容する場合の例が示されている。

【0060】図5には、低速回線側からATM多重分離制御部110に入力されたセルのセルヘッダ処理フローが示されている。

【0061】図5に示すATM多重分離制御方法では、低速回線側からATM多重分離制御部110に入力されたセルのVPI領域を、低速回線上未使用な領域501の方向に多重識別子領域ビット長（この例では、2ビット）分だけビットシフトし、そのビットシフトによって生じた領域であるD0ビットとD1ビットに対し、セルの入力回線位置に応じた多重識別子302を付加する動作を行う。D0ビットとD1ビットに多重識別子302を付加することは予め指定しておくようにする。D0ビットとD1ビットに付加する多重識別子302の値は、例えば、図3の説明で述べた例と同様でよい。

【0062】このようにして多重識別子302が付加されたセルは、通信速度が変換されてからATM層処理部109に出力される。ATM層処理部109では、入力されたセルに対して多重識別子302を含む予め指定されたVPI領域と予め指定されたVCI領域とを参照することによりセルの属するコネクションの識別を行い、ルーティングタグの付加などのコネクションに応じた所定の入側ATM層処理を行う。入側のATM層処理部109ではVPI領域に付加されている多重識別子302を参照することになるので、ATM層処理部109に入力されたセルがどの低速回線から入力されたセルであるかを認識することができる。

【0063】なお、ATM多重分離制御部110では、低速回線側で未使用なVPI/VCI領域が「0」で無いセルが低速回線側から入力された場合には、これを誤配セルとして、異常警報を通知してセル廃棄するように動作させてもよい。

【0064】図6は、ATM層処理部109からATM多重分離制御部110に入力されたセルのセルヘッダ処理フローを示すものである。

【0065】図6に示すATM多重分離制御方法では、ATM層処理部109からATM多重分離制御部110に入力されたセルに対して、セルのVPI領域のD0ビットとD1ビットを多重識別子302として参照することにより、セルを出力する低速回線位置を認識する。D0ビットとD1ビットを多重識別子302として参照することは予め指定しておくようにし、ATM層処理部109においてはVPI領域のD0ビットとD1ビットを多重識別子302として使用することを前提にしたセルヘッダに変換したセルをATM多重分離制御部110に出力するようにする。D0ビットとD1ビットの値と出力する低速回線位置との対応は、図5の説明で述べた対応と同様でよい。

【0066】ATM多重分離制御部110において出力する低速回線位置が認識されたセルは、多重識別子302として使用したD0ビットとD1ビットをシフトアウトする方向にVPI領域がビットシフトされ、そのビットシフトによって生じた領域のD7ビットとD6ビットに対しては未使用化処理、すなわち「0」に書き戻す処

理が行なわれた後に、通信速度が変換されてから所望の低速回線方向に出力される。

【0067】なお、図5と図6に示したATM多重分離制御方法は、低速回線上で使用するVPI領域を保存したままビットシフトすることにより多重識別子領域を形成するので、収容する低速回線上のセルが使用するVPI値に対して何の影響も与えない。また、図5と図6に示したTM多重分離制御方法では、1つのATM多重分離制御部110に収容する低速回線数を増やす場合、その収容数に応じてセルヘッダ内に必要となる低速回線上のセルヘッダ内未使用領域長が多く必要となり、低速回線上で使用可能なVPI領域長が少なくなるという性質を持つが、そもそも低速回線上で同時に設定されるコネクション数は多くないので、この性質は運用上大きな問題となることはない。

【0068】図7と図8は、ATM多重分離制御部110で実行される多重分離制御方法の第3の実施形態を説明する図である。

【0069】図7には、低速回線側からATM多重分離制御部110に入力されたセルのセルヘッダ処理フローが示されている。

【0070】図7に示すATM多重分離制御方法では、低速回線側からATM多重分離制御部110に入力されたセルの回線上使用するVPI/VCI領域、及び、セルが入力された低速回線位置701から生成される参照アドレスを用いて入側ヘッダ変換テーブル702を参照し、このテーブル702に有効設定されているセルヘッダ内容に入力セルのセルヘッダを変換する動作を行う。セルヘッダが変換されたセルは、通信速度が変換されてからATM層処理部109に出力される。ATM層処理部109では、入力されたセルに対して予め指定されたVPI/VCI領域を参照することによりセルの属するコネクション識別子を生成し、ルーティングタグの付加などのコネクションに応じた所定の入側ATM層処理を行う。

【0071】入側ATM層処理部109に入力されるセルは、ATM多重分離制御部110において、入力された低速回線位置を意識したセルヘッダに変換された後のセルが入力されるので、入側ATM層処理部109に入力されたセルがどの低速回線から入力されたセルであるかを認識することができる。

【0072】図8には、ATM層処理部109からATM多重分離制御部110に入力されたセルのセルヘッダ処理フローが示されている。

【0073】図8に示すATM多重分離制御方法では、ATM層処理部109からATM多重分離制御部110に入力されたセルのVPI/VCI領域から生成される参照アドレス801を用いて出側ヘッダ変換テーブル802を参照し、入力セルを出力する低速回線位置を獲得すると共に、このテーブル802に有効設定されている

セルヘッダ内容に入力セルのセルヘッダを変換する動作を行う。セルヘッダが変換されたセルは、通信速度が変換されてから所望の低速回線方向に出力される。

【0074】なお、図7の入側ヘッダ変換テーブル702及び図8の出側ヘッダ変換テーブル802には、設定内容が有効であるか無効であるかを識別するための有効フラグ703、803が参照アドレス毎に設けられている。もし、ATM多重分離制御部110に入力されたセルが有効に設定されていないヘッダ変換テーブル内容にアクセスしようとした場合は、これを誤配セルとして、異常警報を通知してセル廃棄するように動作させてよい。

【0075】図9は、以上で説明したATM多重分離制御部110のハードウェア構成の実施形態を示す図である。

【0076】図9に示すATM多重分離制御部110は、n回線の低速回線を収容し、アービタ901、セルヘッダ変換部902、受信セルバッファ書き込み制御部903、受信セルバッファ904、受信セルバッファ読み出し制御部905、出回線判定部906、受信セルバッファ書き込み制御部907、受信セルバッファ908、受信セルバッファ読み出し制御部909とから構成されている。

【0077】このように構成されたATM多重分離制御部110において、低速回線側からATM層処理部109に向かう多重方向のセルの処理は次の通りである。

【0078】n回線ある低速回線側のなかからセル入力を行う回線位置の決定は、初段にあるアービタ901によって行われる。このアービタ901は、同時にセル転送要求のあった低速回線側の入力がラウンドロビンのように公平に選択できるようにするために、いわゆるリングアービタによって構成してもよい。あるいは、入力回線位置毎に1セル処理時間を1セル時間単位で時分割的に固定的に割り当てておき、低速回線側のセル転送要求の有無に拘らず巡回的に入力回線位置を選択するようにしてもよい。

【0079】アービタ901によって選択入力された低速回線側位置からの入力セルは、セルヘッダ変換部902において、入力回線位置に応じて上述のATM多重分離制御方法に従ったセルヘッダへの変換が行われる。

【0080】セルヘッダ変換後のセルは、受信セルバッファ書き込み制御部903によって一旦、受信セルバッファ904に書き込まれる。受信セルバッファ904に書き込まれたセルは、受信セルバッファ読み出し制御部905によってATM層処理部109側に順次転送される。この際、セルの転送クロックはATM層処理部109と接続される高速ATM話路上の転送クロックに合せ換えられる。なお、受信セルバッファ904は、すべてのセルバッファ領域を低速回線(i)から(n)が共有して用いる共通バッファとして制御してもよいし、ある

いは、低速回線位置毎に物理的に分割し、それぞれを割り当てられた低速回線が専用使用する個別バッファとして制御してもよい。

【0081】図9において、ATM層処理部109から低速回線側に向かう分離方向のセルの処理は次の通りである。

【0082】ATM層処理部109から入力されたセルは、出回線判定部906によって、上述のATM多重分離制御方法に従ってセルヘッダの解析が行われ、出回線方向が判定されると共に、出力セルヘッダの変換が行われ、

【0083】セルヘッダが変換された後のセルは、送信セルバッファ書き込み制御部907によって、一旦、送信セルバッファ908に書き込まれる。送信セルバッファ908に書き込まれたセルは、送信セルバッファ読み出し制御909によって、セルの所望する低速回線方向からセル転送要求があった場合に読み出される。この際、セルの転送クロックは低速回線側のより低速なクロックに寄せ替えられる。なお、送信セルバッファ908は、すべてのセルバッファ領域を低速回線(1)から(n)が共有して用いる共通バッファとして制御してもよいし、あるいは、低速回線位置毎に物理的に分割し、それぞれを割り当てられた低速回線が専用使用する個別バッファとして制御してもよい。

【0084】図9による構成によれば、低速回線側とATM層処理部109側との間に制御が複雑なセル長変換部が不要となるので、ハード規模の増大を招くことなく容易に実現することができる。

【0085】また、ATM層処理部109と接続されるインタフェースはセル長やセル転送クロック等について、高速回線収容の回線対応部における物理層処理部111とATM層処理部112との間のインタフェースと同一にできる。この特徴は、図1の説明で述べたように、システム全体の構成を簡素化する上で極めて有効なものとなる。

【0086】以上説明した本発明の実施形態によれば、低速回線を収容する回線対応部103-1, ..., 103-nにおいてコネクション単位の制御及び管理を行うATM層処理部109を高速ATM通話路中だけに設置するように構成したため、ハード規模や実現コストが増大するということはなく、ATM層処理部109における制御ソフトウェアについてもATM層処理部109が集中的に配置されているので処理速度が低下することないという効果がある。

【0087】また、低速回線収容の回線対応部103-1, ..., 103-nと高速回線収容の回線対応部107-1, ..., 107-nとを1つのATM交換システムに同時に用いる場合、各回線対応部に設置されるATM層処理部109、112は動作クロックや制御方法を共通とすることができるので、システム全体の構成が単純とな

り、低速回線を容易かつ柔軟に収容できるようになるという効果がある。

【0088】さらに、低速回線を収容する回線対応部103-1, ..., 103-nには、ATM多重分離制御部110を備えることにより複数の低速回線を収容できるようにするので、ATM交換システムの交換処理能力を有効に使うことができる。

【0089】また、ATM多重分離制御部110では、多重分離制御に必要となる多重識別のために参照するセル領域を53バイトセルヘッダ内に設けるので、多重識別子を付加する領域を制御が複雑なセル長変換によって確保することが不要となり、ATM多重分離制御部110をハード規模の増大を招くことなく容易に実現することが可能になるなどの効果がある。

【0090】

【発明の効果】以上説明したように、本発明による低速回線収容の回線対応装置を用いれば、コネクション単位の制御及び管理を行うATM層処理部を低速回線毎に設置する必要がなくなるので、ハード規模や実現コストの増大、及び、制御ソフトウェアの処理速度の低下を招くことなくATM交換システム全体を構成することができるという効果がある。

【図面の簡単な説明】

【図1】本発明を用いたATM交換システムの一実施の形態を示す構成図。

【図2】本発明を用いたATM交換システムの基板分割構成例を示す図。

【図3】本発明によるATM多重分離制御部の多重方向の処理の第1の実施形態を示す処理フロー図。

【図4】本発明によるATM多重分離制御部の分離方向の処理の第1の実施形態を示す処理フロー図。

【図5】本発明によるATM多重分離制御部の多重方向の処理の第2の実施形態を示す処理フロー図。

【図6】本発明によるATM多重分離制御部の分離方向の処理の第2の実施形態を示す処理フロー図。

【図7】本発明によるATM多重分離制御部の多重方向の処理の第3の実施形態を示す処理フロー図。

【図8】本発明によるATM多重分離制御部の分離方向の処理の第3の実施形態を示す処理フロー図。

【図9】本発明によるATM多重分離制御部のハードウェア構成例を示す図である。

【図10】従来のATM交換システムの構成図。

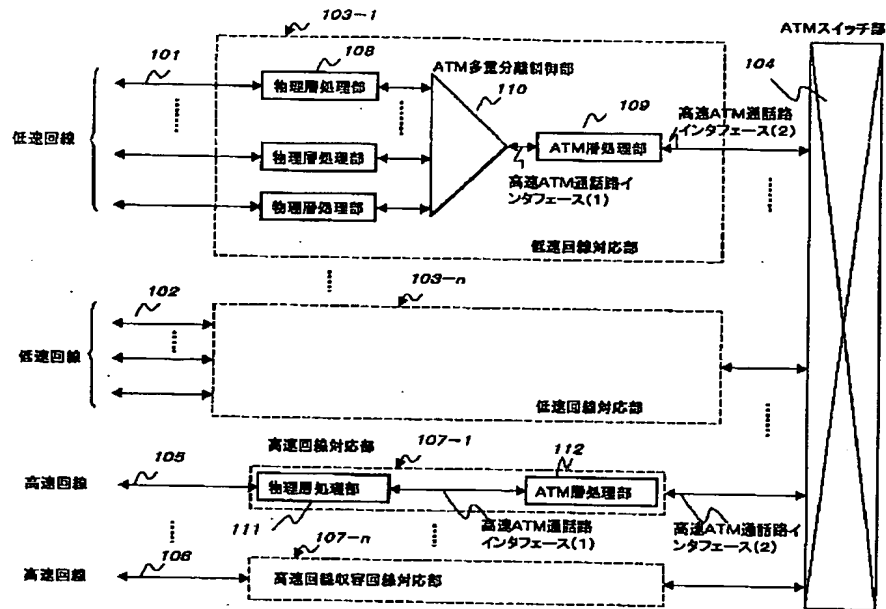
【符号の説明】

101、102	低速回線
103-1, 103-n	低速回線対応部
104	ATMスイッチ部
105、106	高速回線
107-1, 107-n	高速回線対応部
108	物理層処理部
109	ATM層処理部

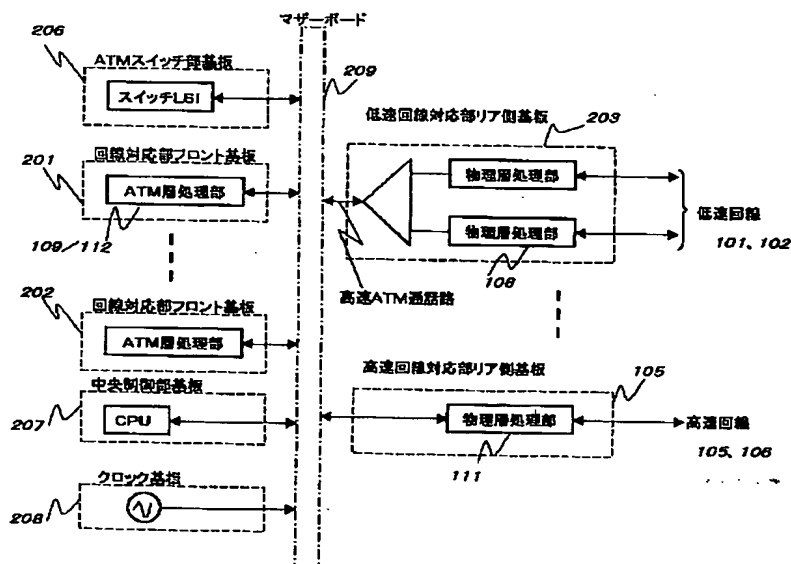
17
 1 1 0 A T M多重分離制御部 3 0 2
 1 1 1 物理層処理部 7 0 2
 1 1 2 A T M層処理部 8 0 2
 3 0 1、3 0 3 低速回線上未使用領域

18
 多重識別子
 入側ヘッダ変換テーブル
 出側ヘッダ変換テーブル

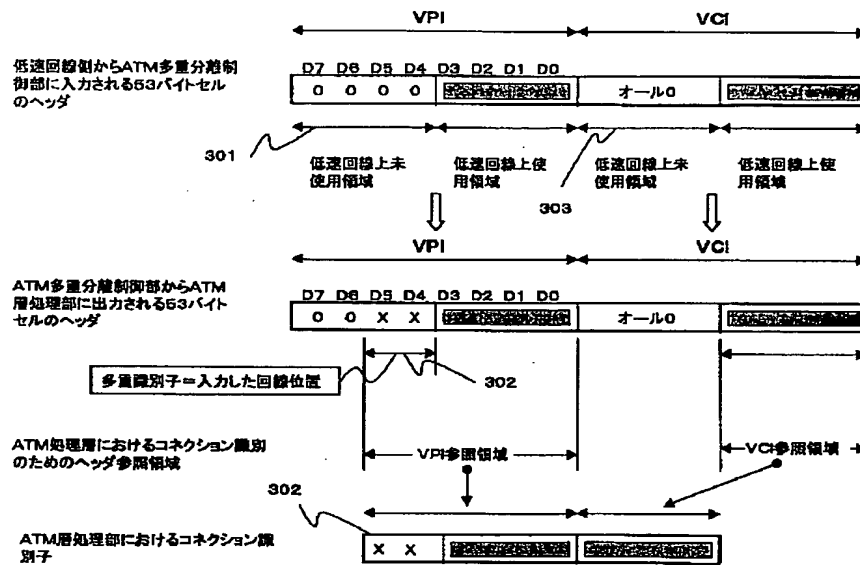
【図 1】



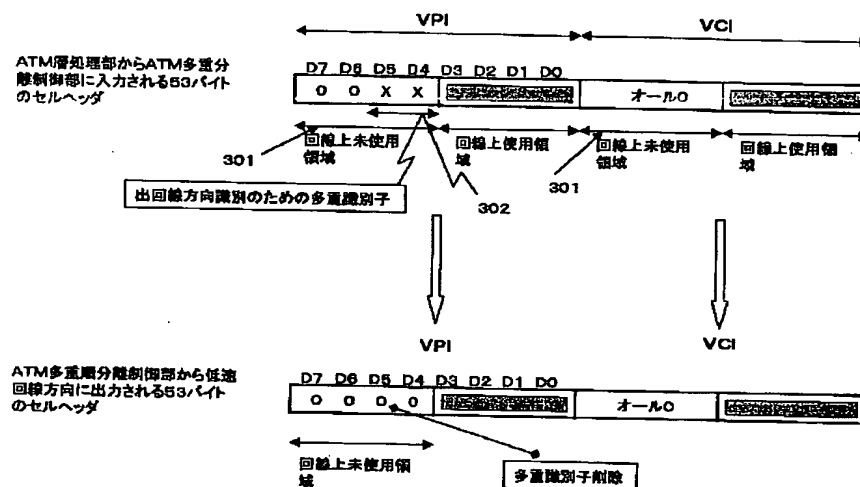
【図 2】



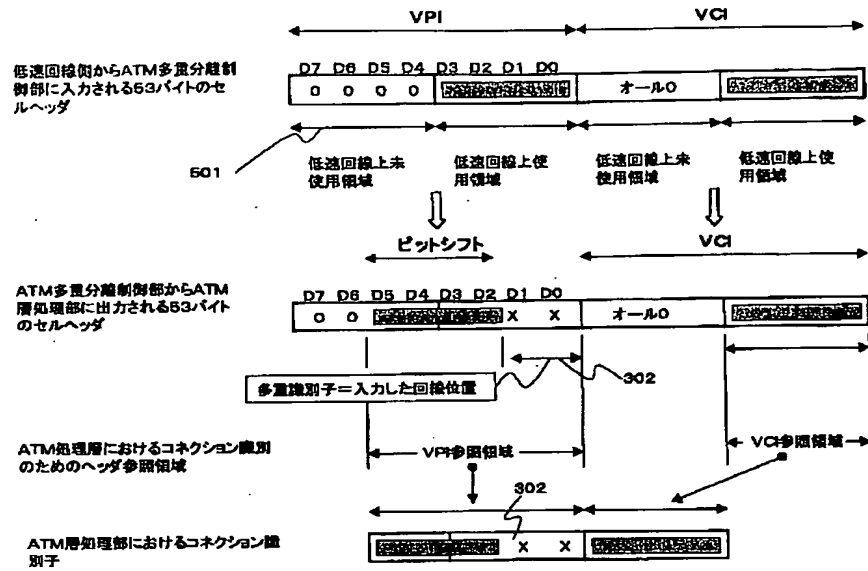
【図 3】



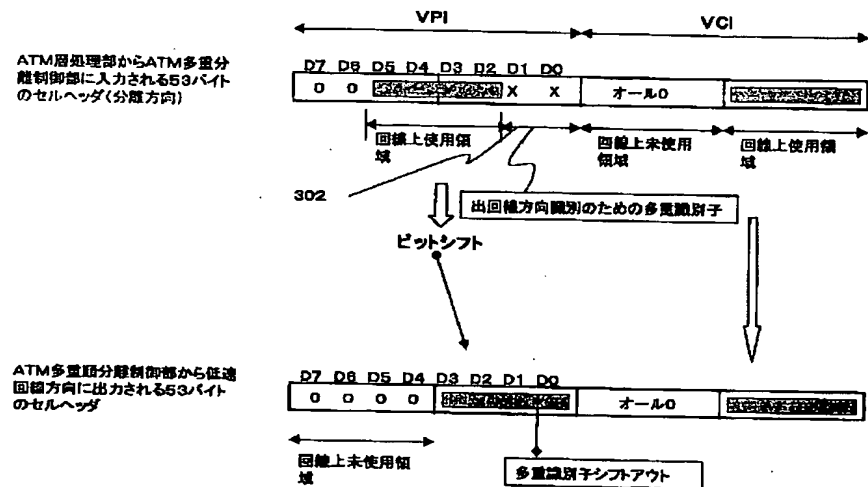
【図 4】



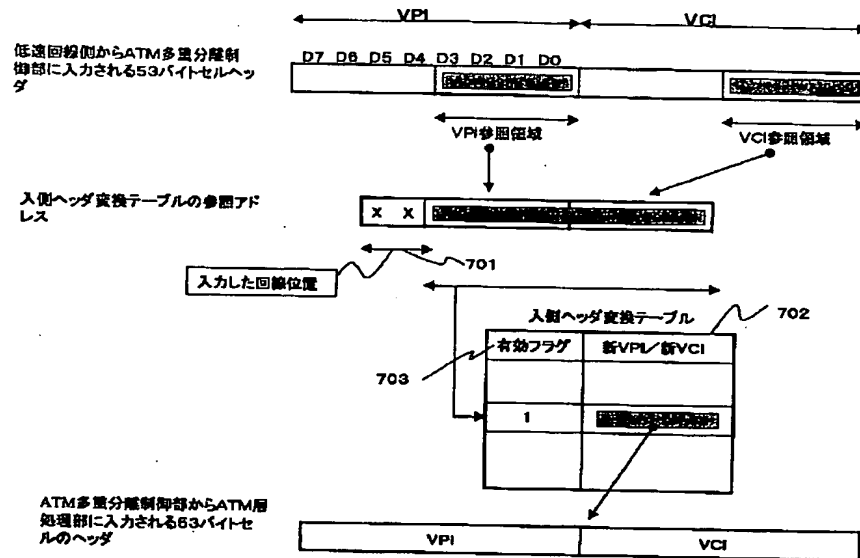
【図 5】



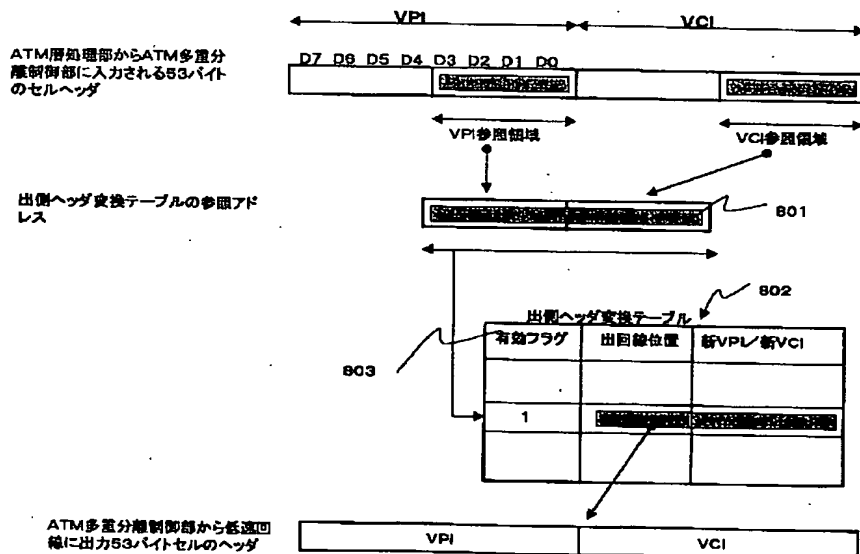
【図 6】



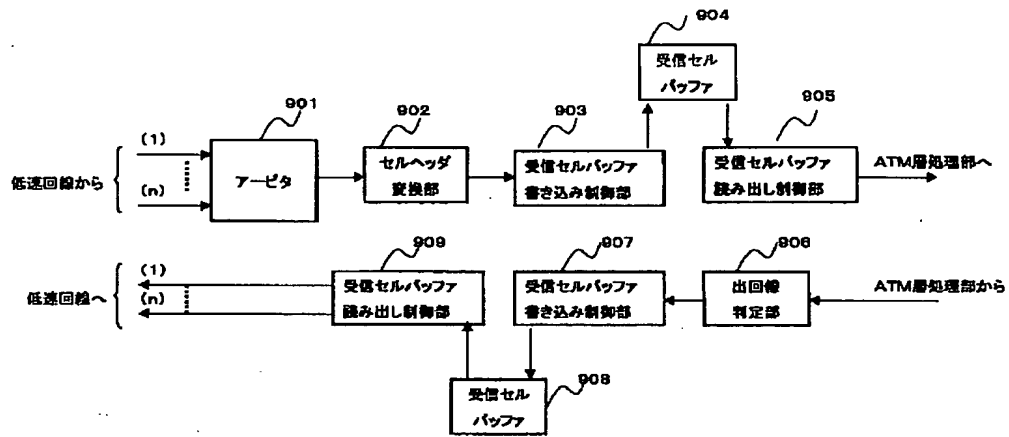
【図 7】



【図 8】



【図 9】



【図 10】

